



(19)

(11) Publication number: 06205341 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 05000193

(51) Int'l. Cl.: H04N 5/66 G02F 1/133 G09G 3/36

(22) Application date: 05.01.93

(30) Priority:  
 (43) Date of application 22.07.94  
 publication:  
 (84) Designated  
 contracting states:

(71) Applicant: SHARP CORP  
 (72) Inventor: YANAGI TOSHIHIRO  
 OKADA HISAO  
 (74) Representative:

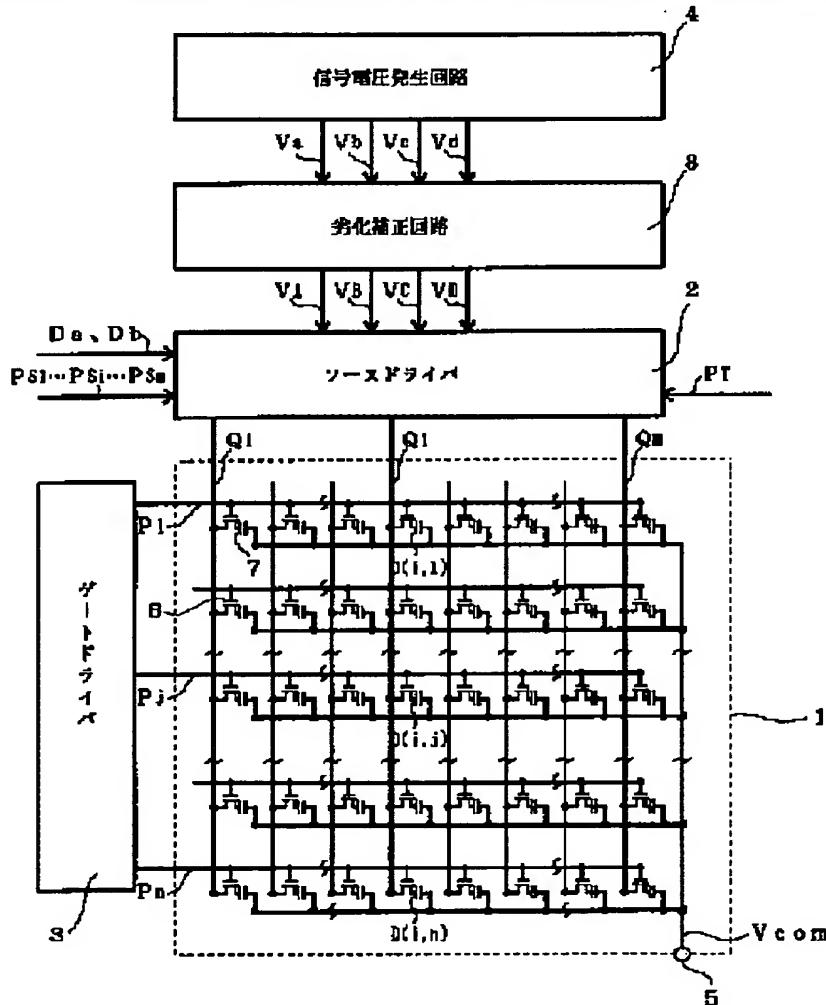
(54) DRIVING CIRCUIT FOR  
DISPLAY DEVICE

## (57) Abstract:

**PURPOSE:** To obtain the driving circuit for a display device in which degrading of display quality attended with a large sized display screen and high definition processing or the like is suppressed.

**CONSTITUTION:** A deterioration correction circuit 8 adds signal voltages  $V_a$ ,  $V_b$ ,  $V_c$ ,  $V_d$  outputted from a signal voltage generating circuit 4 in the rising state through production of an overshoot  $\theta_O$  and in the fall-down state, through production of an undershoot  $\theta_U$  to obtain signal voltages  $V_A$ ,  $V_B$ ,  $V_C$ ,  $V_D$  respectively, which are fed to a source driver 2. The source driver 2 selects any of the plural signal voltages  $V_A$ ,  $V_B$ ,  $V_C$ ,  $V_D$  based on digital video signals ( $D_a$ ,  $D_b$ ) and impresses the selected signal to each picture element. The converted signal voltages  $V_A$ ,  $V_B$ ,  $V_C$ ,  $V_D$  are reached surely to an object voltage faster within the impressed period with the overshoot  $\theta_O$  or the undershoot  $\theta_U$  included in them.

COPYRIGHT: (C)1994,JPO&amp;Japio



(51)Int.Cl. <sup>5</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 0 4 N 5/66	1 0 2 B	9068-5C		
G 0 2 F 1/133	5 0 5	9226-2K		
G 0 9 G 3/36		7319-5G		

## 審査請求 未請求 請求項の数2 (全8頁)

(21)出願番号 特願平5-193

(22)出願日 平成5年(1993)1月5日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 柳 俊洋

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 岡田 久夫

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

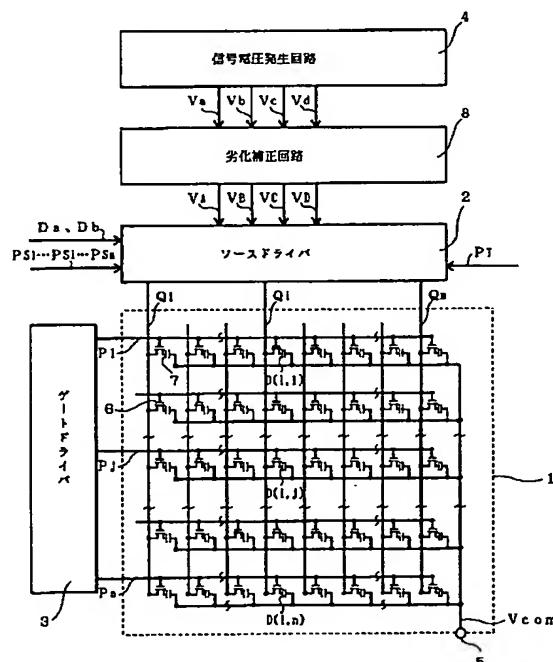
(74)代理人 弁理士 佐野 静夫

## (54)【発明の名称】 表示装置の駆動回路

## (57)【要約】

【目的】 表示画面の大型化、高精細化等に伴う表示品位の低下を抑制することのできる表示装置の駆動回路を提供する。

【構成】 劣化補正回路8は、信号電圧発生回路4が出力する信号電圧 $V_a$ 、 $V_b$ 、 $V_c$ 、 $V_d$ をそれぞれ立ち上がり時にはオーバーシュート $\theta_O$ を発生させて加算し、立ち下がり時にはアンダーシュート $\theta_U$ を発生させて加算するようにして変換し信号電圧 $V_A$ 、 $V_B$ 、 $V_C$ 、 $V_D$ としてソースドライバ2に供給する。ソースドライバ2は、デジタル映像信号( $D_a$ 、 $D_b$ )によりこれに対応する複数の信号電圧 $V_A$ 、 $V_B$ 、 $V_C$ 、 $V_D$ のうちいずれかひとつを選択して各画素に印加するが、変換された信号電圧 $V_A$ 、 $V_B$ 、 $V_C$ 、 $V_D$ に含まれるオーバーシュート $\theta_O$ 、アンダーシュート $\theta_U$ によってその印加期間内に早く確実に目的の電圧まで達することができる構成。



## 【特許請求の範囲】

【請求項1】 予め用意した複数の電圧をデジタル映像信号により選択して各画素に印加することにより画像を再生する表示装置の駆動回路において、前記電圧はパルス状に出力され、その立ち上がり時にオーバーシュートを発生させ、立ち下がり時にアンダーシュートを発生させる手段を有することを特徴とする表示装置の駆動回路。

【請求項2】 前記オーバーシュート若しくは前記アンダーシュートのレベルを調整できることを特徴とする請求項1記載の表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、平面型表示装置の駆動回路に関わり、特にデジタル映像信号が与えられ、そのデジタル映像信号に応じて階調表示を行うマトリクス型液晶表示装置の駆動回路に関する。

## 【0002】

【従来の技術】 一般に、マトリクス型液晶表示装置に用いられるソースドライバ2(図6)についてその具体的な回路図を図7に示し説明する。尚、このソースドライバ2は、1水平走査線上に並ぶ画素の数に等しいm個の階調選択回路CL1、…、CLi、…、CLmから構成され、走査信号により選択された1走査線上のm個の画素に駆動電圧を供給する。ここでは簡単のために、各画素の階調選択枝を4種として4つの電圧Va、Vb、Vc、Vdを用意し、この電圧を選択するための階調選択情報を伝達するために、第1番目、…、第i番目、…、第m番目の画素に対応させて2ビットのデジタル映像データ(Da1, Db1)、…、(Dai, Dbi)、…、(Dam, Dbm)をデコーダF1、…、Fi、…、Fmに入力するようしている。これらの2ビットのデジタル映像データは、以下のようにして形成される。

【0003】 まず、端子t1を介してサンプリングフリップフロップSA1、…、SAi、…、SAMの入力端子Dに外部からデジタル映像信号Daが与えられている。端子t2を介してサンプリングフリップフロップSB1、…、SBi、…、SBmの入力端子Dに外部からデジタル映像信号Dbが与えられている。デジタル映像信号Daは、デジタル映像データDa1、…、Dai、…、Damを時系列に含んでおり、デジタル映像信号Dbは、デジタル映像データDb1、…、Dbi、…、Dbmを時系列に含んでいる。サンプリングクロックPS1、…、PSi、…、PSmがそれぞれ、外部から端子T1、…、Ti、…、Tmを介して、サンプリングフリップフロップ(SA1, SB1)、…、(SAi, SBi)、…、(SAM, SBm)の入力端子CKに与えられる。このうち例えはサンプリングクロックPSiは、第i番目の画素に対応する期間立ち上がるるので、この時点でサンプリングフリップフロップ(SAi, SBi)は、デジタル映像信号(Da, Db)を取り込み

第i番目のデジタル映像データ(Dai, Dbi)として保持する。

【0004】 他においてもこのサンプリング動作は同様に順次行われ、階調選択回路CL1、…、CLi、…、CLmのそれぞれにおいて、サンプリングフリップフロップ(SA1, SB1)、…、(SAi, SBi)、…、(SAM, SBm)は、1ライン期間経過後においてデジタル映像データ(Da1, Db1)、…、(Dai, Dbi)、…、(Dam, Dbm)のサンプリングを完了する。

【0005】 上記サンプリング動作が終了した時点で出力パルスPTが端子t3を介して全ホールドフリップフロップ(HA1, HB1)、…、(Hai, HBi)、…、(HAM, HBM)の入力端子CKに一斉に与えられる。この時、前段のサンプリングフリップフロップ(SA1, SB1)、…、(SAi, SBi)、…、(SAM, SBm)で保持されていた全てのデジタル映像データ(Da1, Db1)、…、(Dai, Dbi)、…、(Dam, Dbm)が、サンプリングフリップフロップ(SA1, SB1)、…、(SAi, SBi)、…、(SAM, SBm)の出力端子Qから、ホールドフリップフロップ(HA1, HB1)、…、(Hai, HBi)、…、(HAM, HBM)の入力端子Dにそれぞれ転送されホールドされる。同時に、ホールドされたデジタル映像データのビットデータDa1、…、Dai、…、DamがホールドフリップフロップHA1、…、Hai、…、HAMの出力端子QからデコーダF1、…、Fi、…、Fmの入力端子Aにそれぞれ出力され、ホールドされたデジタル映像データのビットデータDb1、…、Dbi、…、DbmがホールドフリップフロップHB1、…、HBi、…、HBMの出力端子QからデコーダF1、…、Fi、…、Fmの入力端子Bにそれぞれ出力される。

【0006】 一方、図6に示す信号電圧発生回路4は端子(t4, t5, t6, t7)を介して4種の信号電圧(Va, Vb, Vc, Vd)をアナログスイッチ(Xa1, Xb1, Xc1, Xd1)、…、(Xai, Xbi, Xci, Xdi)、…、(Xam, Xbm, Xcm, Xdm)に供給している。

【0007】 デコーダF1、…、Fi、…、Fmはそれぞれ、デジタル映像データ(Da1, Db1)、…、(Dai, Dbi)、…、(Dam, Dbm)の各ビットをデコードする。デコードした値の4通りの組合せに応じて、デコーダF1、…、Fi、…、Fmはそれぞれ、4個の出力端子(Y0, Y1, Y2, Y3)からアナログスイッチ(Xa1, Xb1, Xc1, Xd1)、…、(Xai, Xbi, Xci, Xdi)、…、(Xam, Xbm, Xcm, Xdm)の切換端子に信号を出力し、4個のアナログスイッチのうちいずれか1つだけをオン状態に切り換える。このようにして、階調を決定する4種の信号電圧(Va, Vb, Vc, Vd)のうちいずれか1つが選択され出力電圧O1、…、Oi、…、Omとして信号電極線Q1、…、Qi、…、Qmにそれぞれ出力される。尚、4個のアナ

3  
グスイッチの1つだけを選択してオン状態にする方法以外に、4個のデジタルスイッチのオン状態を組合せ選択するように図7の回路を修正することも可能である。

【0008】次に、従来の2ビットのデジタル映像信号に応じて4種の階調表示を行うマトリクス型液晶表示装置の概略構成図を図6に示す。図6において、1は横にm個、縦にn個の画素がマトリクス状に並んだ液晶表示パネルである。液晶層(図示せず)は2枚のガラス基板に挟持されており、片方のガラス基板の内面には全画素共通の透明電極膜(図示せず)が施されており端子5を介して所定の電圧V<sub>COM</sub>が印加されている。もう一方のガラス基板の内面には各画素毎に透明な画素電極7が施され、TFT6のドレインと接続されている。信号電圧発生回路4は、4種の異なった信号電圧V<sub>a</sub>、V<sub>b</sub>、V<sub>c</sub>、V<sub>d</sub>を発生し、これらをソースドライバ2に供給する。

【0009】ソースドライバ2は、上述のようにして4種の異なった信号電圧V<sub>a</sub>、V<sub>b</sub>、V<sub>c</sub>、V<sub>d</sub>のいずれか1つを出力電圧O<sub>1</sub>、…、O<sub>i</sub>、…、O<sub>m</sub>として各画素電極7毎の印加電圧として選択し、それぞれ信号電極線Q<sub>1</sub>、…、Q<sub>i</sub>、…、Q<sub>m</sub>に outputする。

【0010】ゲートドライバ3は各走査電極線P<sub>1</sub>、…、P<sub>j</sub>、…、P<sub>n</sub>に順次1ライン期間のオンパルスを与える。それによって、オンパルスが与えられた走査電極線に接続されているTFT6はそのパルス期間の間全てオン状態となる。このようにして、ある1走査線上に並ぶオン状態のTFT6を介して信号電極線Q<sub>1</sub>、…、Q<sub>i</sub>、…、Q<sub>m</sub>から、その走査線上の画素電極7にソースドライバ2の出力電圧O<sub>1</sub>、…、O<sub>i</sub>、…、O<sub>m</sub>が印加される。すなわち、ソース電極Q<sub>i</sub>からは画素電極D(i, 1)、…、D(i, j)、…、D(i, n)に対して1ライン期間毎に切り替わった出力電圧O<sub>i</sub>が順次印加される。

【0011】ここでは簡単のため、図6に示すソースドライバ2の階調選択回路CL<sub>i</sub>から第i番目のソース電極Q<sub>i</sub>に与えられる出力電圧O<sub>i</sub>が、図3(a)に示す信号電圧V<sub>b</sub>に等しいものであるとする。尚、V<sub>x</sub>は信号電圧V<sub>b</sub>の波高値である。

【0012】画素電極D(i, 1)に対して、この印加された信号電圧V<sub>b</sub>を1ライン期間(図5において1Hの期間)に充電する時の電圧波形を図5(a)に示す。同様に、図5(b)、(c)はそれぞれ、画素電極D(i, j)、D(i, n)に対して、信号電圧V<sub>b</sub>を順次引き続く1ライン期間充電する時の電圧波形を示したものである。

【0013】

【発明が解決しようとする課題】図5から分かるように、信号電圧V<sub>b</sub>がソースドライバ2から遠隔の画素電極に印加される時には、信号伝達経路のインピーダンスが大きくなるので信号電圧V<sub>b</sub>自体が劣化する。特に、

最遠方の画素電極D(i, n)に印加される際には、図5(c)に示すように信号電圧V<sub>b</sub>自体が電圧劣化分△Vだけ劣化し実際に印加される信号電圧の波高値がV<sub>Y</sub>になる(V<sub>X</sub> > V<sub>Y</sub>)。従って、遠方の画素電極では1ライン期間(1H)経過しても充電される電圧が信号電圧V<sub>b</sub>の波高値V<sub>X</sub>にまで達しない問題が生じる。

【0014】このようにソースドライバ2で駆動する表示パネル1を大型化・高精細化する場合、バスライン抵抗や付加容量が増加し、ソースドライバ2の出力インピーダンス、バスラインのインピーダンス、スイッチング素子のオン抵抗等の信号伝達経路におけるインピーダンスが大きくなり信号電圧V<sub>a</sub>、V<sub>b</sub>、V<sub>c</sub>、V<sub>d</sub>が劣化するので、必要とする電圧が表示画素に印加できなくなり表示品位の低下を招く。

【0015】本発明は、このような問題に鑑みて為されたものであり、表示画面の大型化、高精細化等に伴う表示品位の低下を抑制することのできる表示装置の駆動回路を提供することを目的とする。

【0016】

20 【課題を解決するための手段】上記目的を達成するため、本発明の表示装置の駆動回路は、予め用意した複数の電圧をデジタル映像信号により選択して各画素に印加することにより画像を再生するものであって、前記電圧はパルス状に出力され、その立ち上がり時にオーバーシュートを発生させ、立ち下がり時にアンダーシュートを発生させる手段を有することを特徴とする。

【0017】更にこの場合、前記オーバーシュート若しくは前記アンダーシュートのレベルを調整できることを特徴とする。

30 【0018】

【作用】このようにすると、各画素に信号電圧を印加する期間内に、画面における画素の位置に関係なくどの画素に対しても、選択された信号電圧を劣化することなく確実に印加することができる。

【0019】

【実施例】以下、本発明を図に示す実施例に従って説明する。図1及び図2はマトリクス型液晶表示装置に適した駆動回路を示すものであり、ここでは簡単のために2ビットのデジタル映像信号に応じて4種の階調表示を行うものであるとしている。図1に於て、信号電圧発生回路4が outputする信号電圧V<sub>a</sub>、V<sub>b</sub>、V<sub>c</sub>、V<sub>d</sub>はソースドライバ2に直接与えられるのではなく、これらが一旦劣化補正回路8に与えられてそれぞれ補正された信号電圧V<sub>A</sub>、V<sub>B</sub>、V<sub>C</sub>、V<sub>D</sub>がソースドライバ2に与えられるようになっている。その点の他は図6に示し説明した従来例と同じであるので、それらの部分には同じ符号を付し説明を省略する。

40 【0020】次に、劣化補正回路8の具体的構成を信号電圧V<sub>b</sub>に関する部分を代表させて説明する。信号電圧V<sub>b</sub>に補正を施す回路を示す図2において、演算増幅器

50

11、12の+端子（非反転入力端子）は接地されている。抵抗14、16の一端はそれぞれ演算増幅器11、12の各々の-端子（反転入力端子）と接続されており、抵抗14、16の他端はそれぞれ演算増幅器11、12各々の出力端子に接続されている。抵抗13の一端は入力端子9と接続され、抵抗13の他端は演算増幅器11の-端子と接続されている。抵抗15の一端は、演算増幅器11の出力端子に接続され、抵抗15の他端は演算増幅器12の-端子と接続されている。演算増幅器12の出力端子は、補正された後の電圧VBが outputされる出力端子10に接続されている。可変抵抗17の一端は可変コンデンサ18の一端と接続されている。可変抵抗17の他端は抵抗15と演算増幅器11の接続線Fに接続されており、可変コンデンサ18の他端は抵抗15と演算増幅器12の接続線Gに接続されている。

【0021】入力端子9には、信号電圧発生回路4から信号電圧VBが印加される。抵抗13、14の抵抗値は等しく、抵抗15、16の抵抗値は等しい。可変抵抗17の抵抗値と可変コンデンサ18の容量は変化させること\*

$$\begin{aligned} VB &= VF \times \{ - (r + r1) / r1 \} \\ &= VB + VB \times r / r1 \end{aligned}$$

【0024】従って、時刻ア、イのように信号電圧VBが立ち上がるか立ち下がる瞬間ににおいて、信号電圧信号電圧VBは図3(b)に示すように信号電圧VBに更に補正波高値量VZ (= VB × r / r1)を加えた値となる。この補正波高値量VZは抵抗値r1に依存するので、可変抵抗17の抵抗値r1を変えることで調整することができる。

【0025】また、図3(b)において斜線部として示したθOは時刻アから1ライン期間におけるオーバーシュートであり、同じくθUは時刻イから1ライン期間におけるアンダーシュートである。オーバーシュートθO、アンダーシュートθUの補正量△θ(図示せず)の調整については、可変コンデンサ18の容量を変化させて調整することができる。

【0026】ゲートドライバ3が走査電極線P1、…、Pj、…、Pnに上から順次出力するオンパルスによってTFT6がオン状態になることにより、ソース電極Qiから画素電極D(i, 1)、…、D(i, j)、…、D(i, n)に対して前記信号電圧VBが印加される。

【0027】画素電極D(i, 1)において、この印加された信号電圧VBを1ライン期間(図4において1Hの期間)充電する時の電圧波形を図4(a)に示す。同様に、図4(b)、(c)はそれぞれ、画素電極D(i, j)、D(i, n)において、この印加された信号電圧VBを1ライン期間充電する時の電圧波形を示したものである。

【0028】このように、信号電圧VBがソースドライバ2から遠隔の画素電極に印加される時には、信号伝達経路のインピーダンスが大きくなるので信号電圧VB自

\* とができる。

【0022】このとき、信号電圧発生回路4において発生し入力端子9に与えられる信号電圧VBの波形を図3(a)に示し、図2の補正回路によって補正され出力端子10から得られる信号電圧VBの波形を図3(b)に示す。抵抗13と抵抗14の抵抗値が等しいので、接続線Fの電圧VFは信号電圧VBの(-1)倍に等しく-VBとなる。

【0023】図3(a)に示すように信号電圧VBは時刻アにおいて立ち上がり、時刻イにおいて立ち下がる(電圧VFは時刻アにおいて立ち下がり時刻イにおいて立ち上がる)が、この瞬間においては可変コンデンサ18のインピーダンスは無いものとして考慮できる。抵抗15、16の抵抗値をrとし、可変抵抗17の抵抗値をr1とおく。抵抗15及び可変抵抗17の合成抵抗Rはr · r1 / (r + r1)であるので、電圧VFは演算増幅器12によって、-r / R倍すなわち-(r + r1) / r1倍に増幅される。従って、信号電圧VBは、次式で与えられる。

$$VB = -VB \times (-1 - r / r1)$$

体が劣化することを避けることは不可能である。しかし、この場合信号電圧VBが、時刻アからの1ライン期間においては信号電圧VBにオーバーシュートθOが加えられており、時刻イからの1ライン期間においては信号電圧VBにアンダーシュートθUが加えられている。このため、最遠方の画素電極D(i, n)に信号電圧VBを印加する際でも、図4(c)に示すように1ライン期間(1H)以内に波高値VXに収束し、早く確実に充電することができる。

【0029】尚、他の信号電圧Va、Vc、Vdについてもそれぞれ、図2に示す回路によって補正を行い、信号電圧VA、VC、VDとしてソースドライバ2に供給すれば、同様の効果がある。

【0030】また、本実施例では従来例と同じく4階調の例を示したが、デジタル映像信号のビット数をn個とすると選択できる階調種の数は「2のn乗」で与えられるので、8階調、16階調等のマトリクス型液晶表示装置のように、供給する信号電圧数をより多く増やした場合にも本発明は適用できる。

【0031】

【発明の効果】以上説明したように本発明を実施した表示装置の駆動回路によれば、各画素に信号電圧を印加する期間内に、画面における画素の位置に関係なくどの画素に対しても、選択された信号電圧を劣化することなく確実に印加することができる。従って、表示装置の大型化、高精細化等に伴う信号伝達経路のインピーダンスの増加による表示品位の低下を防ぐことができ、表示品位の均一化、高品位化が可能となる。

50 【画面の簡単な説明】

【図1】 本発明を実施したマトリクス型液晶表示装置の概略構成図。

【図2】 本発明の実施例における劣化補正回路の回路図。

【図3】 信号電圧発生回路と劣化補正回路が出力する信号電圧の波形図。

【図4】 劣化補正回路が出力する信号電圧が画素電極に印加されるときの電圧波形を示す図。

【図5】 信号電圧発生回路が output する信号電圧が画素電極に印加されるときの電圧波形を示す図。

【図6】 従来のマトリクス型液晶表示装置の概略構成図。

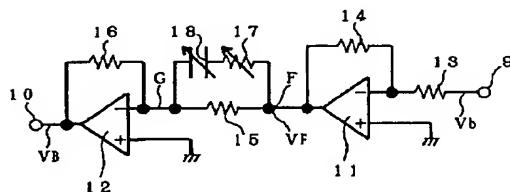
〔図7〕 ソースドライバの回路図。

### 【符号の説明】

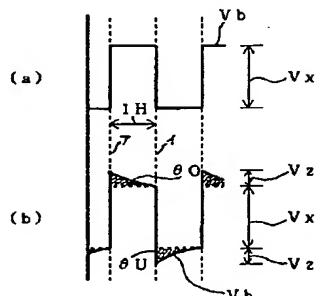
- 1 表示パネル
- 2 ソースドライバ
- 3 ゲートドライバ
- 4 信号電圧発生回路
- 5 端子
- 6 TFT
- 7 画素電極
- 8 劣化補正回路
- 9 入力端子
- 10 出力端子
- 11 演算増幅器
- 12 演算増幅器
- 13 抵抗
- 14 抵抗
- 15 抵抗

- \* 1 6 抵抗
- 1 7 可変抵抗
- 1 8 可変コンデンサ
- Q1、…、Qi、…、Qm ソース電極線
- P1、…、Pi、…、Pn 走査電極線
- D (i, 1)、…、D (i, j)、…、D (i, n)
- 画素電極
- D a、D b デジタル映像信号  
(Da1, Db1)、…、(Dai, Dbi)、…、(Dam, Dbm) デジタル映像データ
- CL1、…、CLi、…、CLm 階調選択回路
- t 1～t 7 端子
- SAi、SBi サンプリングフリップフロップ (D、CK  
入力端子 Q 出力端子)
- HAi、HBi ホールドフリップフロップ (D、CK  
入力端子 Q 出力端子)
- Di デコーダ (Ya、Yb、Yc、Yd 出力端子)
- Xai、Xbi、Xci、Xdi アナログスイッチ
- Va、Vb、Vc、Vd 信号電圧
- O1、…、Oi、…、Om 出力電圧
- ΔV 電圧劣化分
- VX、VY 波高値
- 1H 1ライン期間
- F、G 接続線
- VF 電圧
- VZ 補正波高値
- θO オーバーシュート
- θU アンダーシュート
- ア、イ 時刻

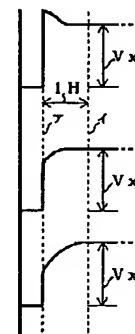
[図2]



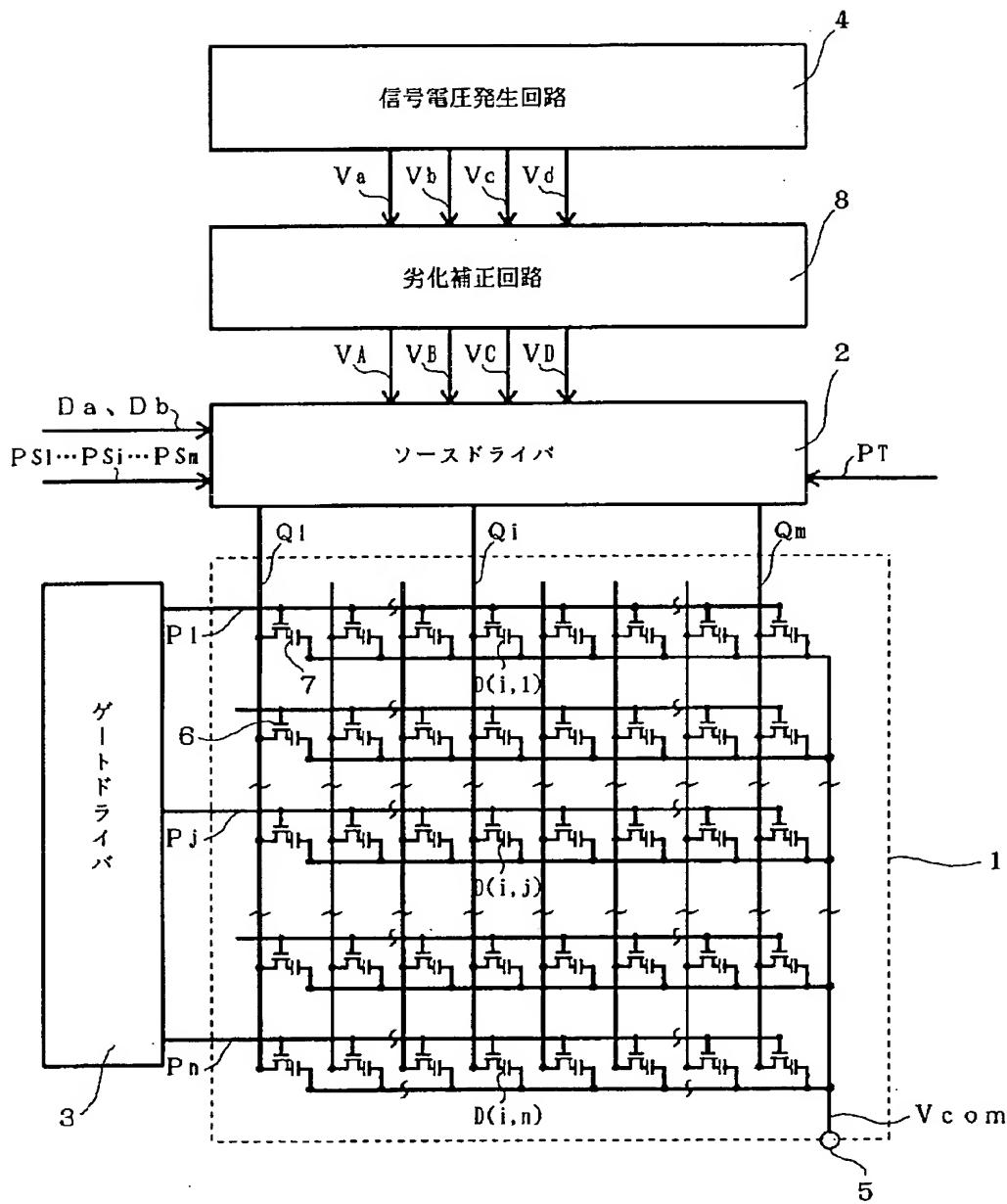
〔图3〕



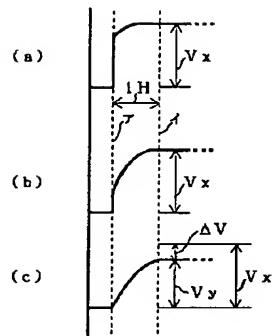
[図4]



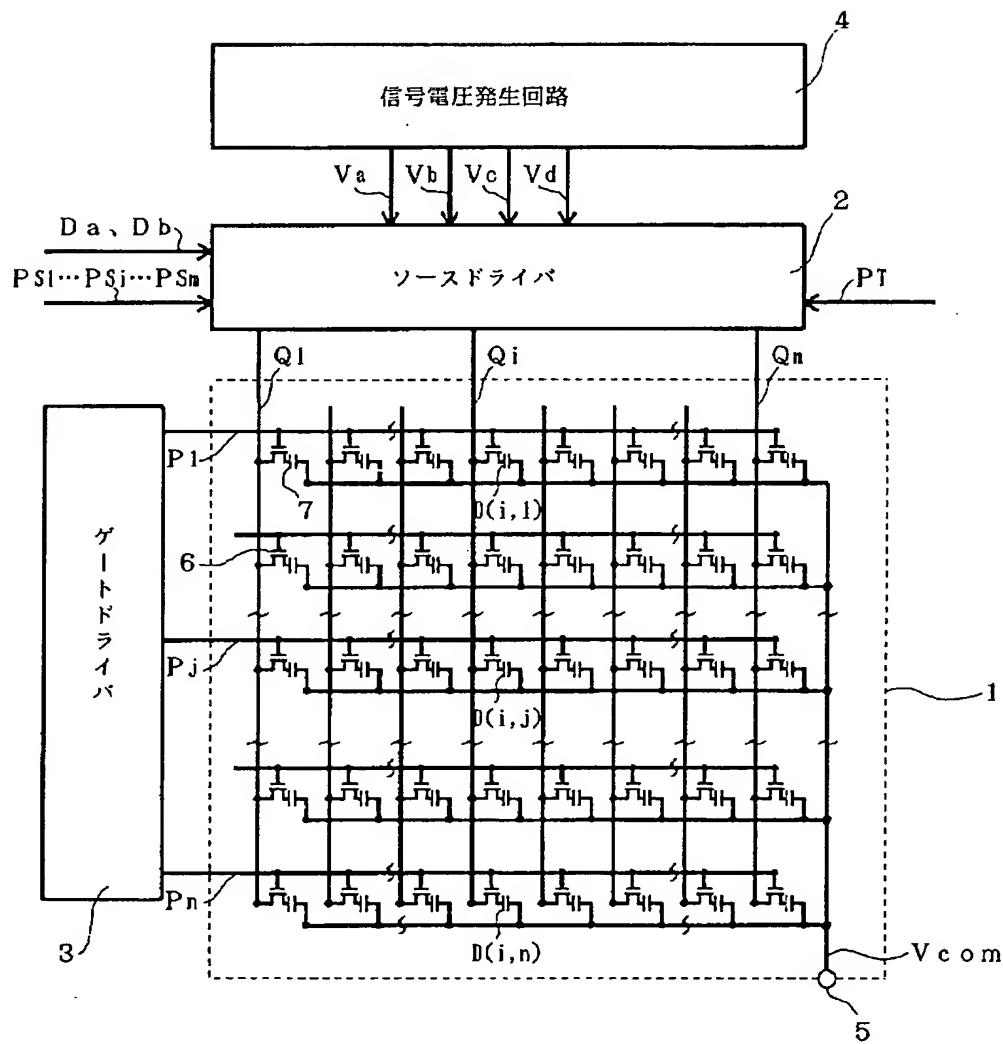
【図1】



【図5】



【図6】



【図7】

